

1/5/2

DIALOG(R)File 347:JAPIO

(c) 2006 JPO & JAPIO. All rts. reserv.

03899934 **Image available**

REJECTION PROCESSING SYSTEM IN ATM NETWORK

PUB. NO.: 04-265034 [JP 4265034 A]

PUBLISHED: September 21, 1992 (19920921)

INVENTOR(s): IKEMATSU HIROSHI

KASAHARA HIROYUKI

APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 03-026257 [JP 9126257]

FILED: February 20, 1991 (19910220)

INTL CLASS: [5] H04L-012/48

JAPIO CLASS: 44.3 (COMMUNICATION -- Telegraphy)

JOURNAL: Section: E, Section No. 1314, Vol. 17, No. 50, Pg. 167,
January 29, 1993 (19930129)

ABSTRACT

PURPOSE: To eliminate the need of a retransmission processing and to prevent the inconvenience which follows a delay of data by validating the final data of a cell which precedes a missing cell and using it as an alternate data of the missing cell.

CONSTITUTION: A received cell is given to a memory 5 and a cell header check part 1. The check part 1 checks the header of the received cell, and gives a result of decision to a write control part 2. The control part 2 writes the cell in the memory 3 only in the case the result of decision is effective. The data stored in the memory 5 is read out by a read-out control part 4, whether the cell number is stored successively or not is checked by a number inquiry part 5, and in the case it is missing, the final data of the preceding cell becomes effective. In such a way, complication of a circuit configuration of a terminal machine, and the processing procedure is avoided without deriving the retransmission of rejection data, and also, a processing of receiving data can be executed in real time.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-265034

(43) 公開日 平成4年(1992)9月21日

(51) Int.Cl.⁵

H 0 4 L 12/48

識別記号

庁内整理番号

F I

技術表示箇所

8529-5K

H 0 4 L 11/20

Z

審査請求 未請求 請求項の数1(全 4 頁)

(21) 出願番号 特願平3-26257

(22) 出願日 平成3年(1991)2月20日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 池松 浩

福岡県福岡市博多区博多駅前三丁目22番8

号 富士通九州デジタル・テクノロジー株

式会社内

(72) 発明者 笠原 弘之

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 林 恒▲徳▼

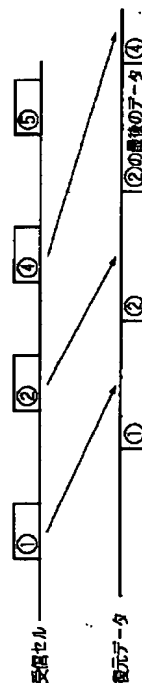
(54) 【発明の名称】 ATMネットワークにおける廃棄処理方式

(57) 【要約】

【目的】 ATM(Asynchronous Transfer Mode)ネットワークにおける廃棄処理方式に関し、廃棄されたセルに先行するセルの最後の値を廃棄セルに代替するデータとして利用することにより再送処理を行うことを不要とし、またデータの遅れに伴う不都合をなくした廃棄処理方式を提案することを目的とする。

【構成】 欠落したセルに先行するセルの複数のデータを有効なものとして欠落セルの代替データとなすこととする。

本発明の廃棄処理方式



【特許請求の範囲】

【請求項1】 送信側でデータを分割してセル化し、このセルを伝送路へ統計的处理に従って送出し、受信側で受信したセルから元のデータを復元するATM ネットワークにおける受信側でセルの欠落が検出された場合の廃棄処理方式において、欠落したセルに先行するセルの複数のデータを有効なものとして欠落セルの代替データとなすことを特徴とする廃棄処理方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はATM(Asynchronous Transfer Mode)ネットワークにおける廃棄処理方式に関する。

【0002】

【従来の技術】 ATM ネットワークは統計的多重方式による通信ネットワークであり、図7に示すように伝送路10に設けられた統計的多重変換装置10a, 10b, 10c に端末機11a, 11b, 11c を接続するように構成されている。端末機11a 等は送信すべきデータを符号化した上で多数のセルに分割して統計的多重変換装置10a 等へ送出する。統計的多重変換装置10a 等はこれをバッファメモリに蓄え、伝送路10上を一定量以上のセルが流れないように制御しつつ、セルを送出する。受信側の統計的多重変換装置10b 等はこれを受信してバッファメモリに蓄え、接続されている端末機11b 等へ与え、端末機11b は受信データから自己宛のセルを分離して復号化して元のデータを得る。このようなATM ネットワークでは送受信用のバッファメモリからのオーバフローに因って、或いは待ち合わせ遅延に因りセルの廃棄処理が不可避である。つまり、バッファメモリからオーバフローするとそのセルは送信されず、又は受信したとしても復号されない。また伝送路10上に流れるセル数の制約から、ある時間以上の待ち合わせが生じるとそのセルは送信できないデータとして廃棄されるのである。

【0003】 セルが廃棄されると当然にデータ欠陥に伴う不都合が生じ、例えば画像信号通信の場合、受信画像の画質劣化を招来する。この対策としてはセルを特定するために付された番号から、受信側の端末機11b 等は廃棄の発生を知り得るから、送信側の端末機11a 等に対してデータ再送を要求する方法がある。

【0004】

【発明が解決しようとする課題】 ところがこのような再送要求を行わせるためには回路構成が複雑になるとか、データ処理手順が複雑になるという問題がある。そして再送ではデータが遅れ、用をなさないという場合がある。本発明は斯かる問題点を解決するためになされたものであり、廃棄されたセルに先行するセルの最後の値を廃棄セルに代替するデータとして利用することにより再送処理を行うことを不要とし、またデータの遅れに伴う不都合をなくした廃棄処理方式を提案することを目的と

する。

【0005】

【課題を解決するための手段】 図1は本発明方式の原理説明図である。受信セルの番号(タイムスタンプ)が図示の如く①, ②, ④, ⑤…となっており、番号③のセルが欠落している場合、これを復元したデータは欠落したセル③に替わるデータとしてセル②の最後のデータを用いるのである。

【0006】

10 【作用】 このようにすることで再送要求を行う場合に比して、回路構成、データ処理手順は著しく簡素化される。そして画像データ伝送の場合、相前後するセルは隣合う領域のデータを有している。これらのデータは相関性が強く、類似するデータであることが多い。従って先行セルの最後のデータを使用しても著しい画質劣化がない。

【0007】

20 【実施例】 以下本発明をその実施例を示す図面に基づいて詳述する。図2は本発明方式の実施に使用する端末機の構成を略示するブロック図である。受信したセルはFIFOからなるメモリ3及びセルヘッダチェック部1へ与えられる。セルヘッダチェック部1は受信セルのヘッダ(後述)をチェックし、その有効、無効を判定し、判定結果を書込制御部2へ与える。書込制御部2は判定結果が有効であった場合はセルをメモリ3に書込ませ、無効であった場合は書込を行わせない。

30 【0008】 図3はメモリ3の構成を略示するブロック図、図4はセルのフォーマットと共に示すクロックのタイミングチャートである。図4に示すようにセルはその送信元、宛先等を示すコード及びセル番号TSからなるヘッダと、送信すべきデータ、例えば画像信号とからなり、メモリ3はデータを格納するFIFO31と、セル番号を格納するFIFO32とを有しており、セル番号TSの入カタイミングに同期する書込クロックCLK2でFIFO32にセル番号TSを書込み、送信データの入カタイミングに同期する書込みクロックCLK1でFIFO31に送信データを書込むようにしてある。メモリ3に格納されたデータの読出しは読出制御部4によって行われるが、セル番号が順次的に格納されているか否かを番号照合部5で調べ、これに欠落が見られる場合は先行セルの最後のデータを有効とする。

40 【0009】 図5は読出制御部4及び番号照合部5の構成を示すブロック図である。番号照合部5には端末機で作成されるセルヘッダ信号CH(図6(6))。セルの受信タイミングに同期している)が計数イネーブル信号として与えられ、同じく端末機で作成される基準クロックCLK(図6(1))をカウントアップするカウンタ51が備えられている。図6(7)はカウント内容を示している。

50 【0010】 読出制御部4が発する読出し用クロックCLK4(図6(3))はメモリ3のFIFO32に与えられ、これによってセル番号TSのデータが順次読出され(図6(5))、番

3

4

号照合部5のラッチ52へ与えられる。このセル番号TSのデータはラッチ52に基準クロックCLKで取込まれ、カウンタ51の計数内容とラッチデータとが比較器53で比較され、一致した場合にハイレベルとなる信号(図6(8))が出力される。この信号は読出制御部4のANDゲート41,42へ与えられる。ANDゲート41の他入力の前記基準クロックCLKであり、その出力を送信データ検出用のクロックCLK3(図6(2))として出力し、これをメモリ3のFIFO31へ与え、送信データの読出しを行わしめる。

【0011】このクロックCLK3はまたD/A(デジタル/アナログ)変換部7の入力側に設けられたラッチ回路6へラッチ信号として与えられ、読出した送信データのラッチを行わしめる。ANDゲート42は3入力のANDゲートであり、他の2入力は前述の基準クロックCLKと、セルヘッド信号CHであり、これらにより前記クロックCLK4を作成する。ラッチ回路6にラッチされたデータはD/A変換部7でアナログ信号に変換され、このデータは例えばモニタへ出力され、ここに表示されることになる。

【0012】以上の構成によりメモリ3のFIFO32にセル番号TSが順次正常に格納されている場合はカウンタ51のインクリメントにより各セルの送信データが順次読出されていく。これに対してセル番号TSに欠落があると、つまり廃棄があると、図6(5),(7)に示すように比較器53の比較結果は不一致(図6(8))となり、その出力はローレベルに転じクロックCLK3,CLK4は出力されない。仍って次のデータの読出しは行われず、D/A変換部7はラッチ回路6にラッチされているデータ、つまり先行セルの最後のデータをそのままD/A変換することになる。

【0013】次にセルヘッド信号CH,基準クロックCLKが与えられるが、これによりカウンタ51がインクリメントされると、欠落セルが1つの場合は、更新されないラッチ52の内容とカウンタ51の内容との一致がとれ、クロックCLK3,CLK4が再び得られることになる。

【0014】

【発明の効果】本発明は以上のように廃棄データ(図1の例ではセル番号③のデータ)の再送を求めることなく、先行セルのデータを使用するので、端末機の回路構成、処理手順の複雑化は回避され、また実時間的に受信データの処理を行うことができる。更に画像データの伝送に使用する場合では実質的に画質劣化はない等、本発明は優れた効果を奏する。

【図面の簡単な説明】

【図1】本発明方式の原理説明図である。

【図2】本発明に係る端末機のブロック図である。

【図3】メモリのブロック図である。

【図4】クロックのタイミングチャートである。

【図5】読出制御部及び番号照合部のブロック図である。

【図6】番号照合部のタイミングチャートである。

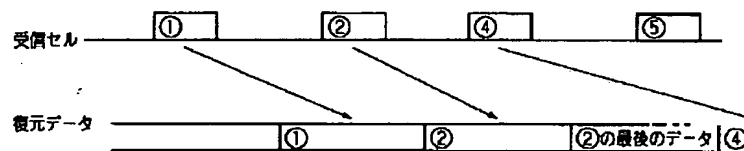
【図7】ATMネットワークの説明図である。

【符号の説明】

- 2 書込制御部
- 3 メモリ
- 4 読出制御部
- 5 番号照合部

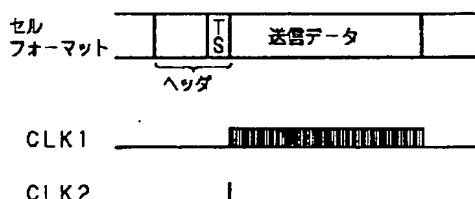
【図1】

本発明の原理説明図



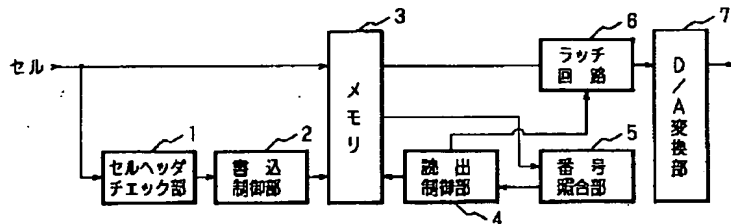
【図4】

クロックのタイミングチャート



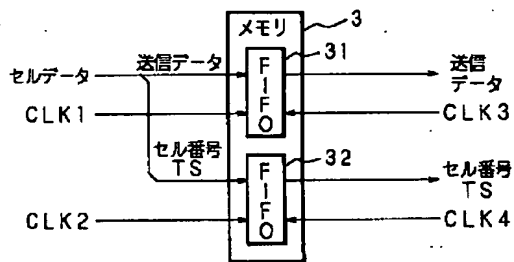
【図2】

端末機のブロック図



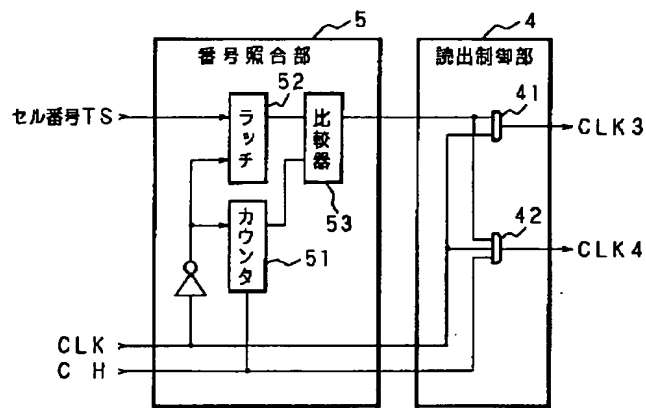
【図3】

メモリのブロック図



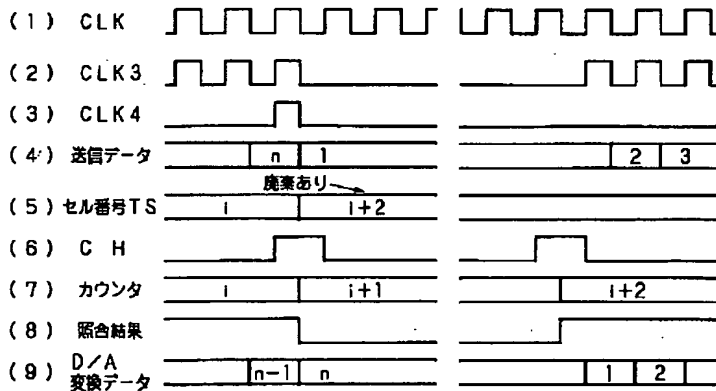
【図5】

読出制御部、番号照合部のブロック図



【図6】

番号照合部のタイミングチャート



【図7】

ATMネットワークの説明図

